Lab. #4 : Convertisseurs de données et générateurs de signaux

I. But du laboratoire et matériel requis

Familiarisation avec l'utilisation de convertisseurs analogiques-numériques (CAN) pour les signaux analogiques, et numériques-analogiques (CNA) pour la génération de signaux analogiques, dont un signal complexe faisant l'approximation d'un signal cardiaque. La fréquence des signaux et programmable et, dans le cas de l'usage d'un convertisseur externe au microcontrôleur, l'exemple d'une interface SPI est utilisé pour la communication.

Matériel requis:

- Carte d'extension MSP-EXP430FR6989 sans le microcontrôleur **ou** kit de composants équivalents, incluant un convertisseur numérique-analogique LTC1661 , plaquette de montage, et fils de raccordement.
- Kit de développement CY8CKIT-059 PSoC 5LP
- Oscilloscope

II. Introduction

Les signaux typiques du monde réel sont analogiques et doivent être convertis en numérique pour un traitement précis, car leur traitement avec des circuits analogiques est souvent difficile et sujet à l'influence négative de sources de bruit. Les convertisseurs de format, notamment les CANs sont un composant standard dans la plupart des microcontrôleurs.

Les amplificateurs opérationnels sont aussi fréquemment rencontrés dans les systèmes embarqués pour l'amplification, le filtrage analogique, ou pour l'adaptation d'impédance (tampons de tension ou de courant) de signaux analogiques avant ou après la conversion de format.

Un générateur de fonction programmable typique opère en générant répétitivement la même séquence numérique qui y a été programmée sous forme de table ou d'une formule mathématique à interpréter. La fréquence du signal obtenu est déterminée à l'aide d'un compteur-temporisateur dont les débordements déterminent la fréquence de mise à jour des valeurs du signal à générer. Un convertisseur numérique-analogique est ajouté au microcontrôleur dans le cas de signaux analogiques, lorsqu'un convertisseur numérique-analogique (CNA) n'est pas disponible dans le microcontrôleur.

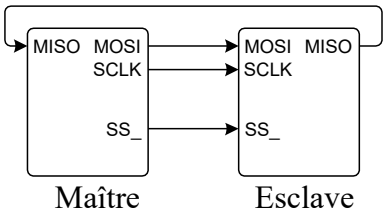
A. Protocole SPI

L'interface de périphérique série (SPI) est une norme de communication puce-à-puce développée par Motorola pour offrir un moyen simple de communication sur une même carte de circuit imprimé (PCB).

a) La couche physique

SPI est un système maître/esclave avec quatre connections d'E/S : MOSI (master out, slave in), MISO (master in, slave out), SS (slave select) et SCLK (serial clock).

Figure 1. Système SPI full-duplex à deux unités



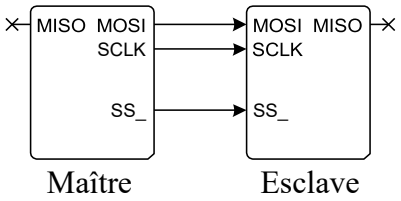
Il ne peut y avoir qu'un seul maître sur un bus SPI. En revanche, plusieurs esclaves peuvent coexister sur le même bus. Seul maître peut contrôler le bus en tout temps, en pilotant le signal d'horloge

Le maître et les modules esclaves SPI agissent tous comme des registres à décalage. Lorsque le maître veut envoyer un octet à un esclave, il charge un octet de données dans le registre de décalage de sa sortie et baisse la ligne SS de l'esclave cible. Le maître active ensuite la ligne SCLK, et un bit de données est déplacé sur la ligne MOSI à chaque impulsion d'horloge. L'esclave déplace alors le bit de données reçu sur la ligne MOSI dans le registre de décalage de son entrée sur le front d'horloge opposé.

En mode full-plex, le maître envoie des données sur la ligne MOSI pendant que l'esclave fait de même sur la ligne MISO. Comme c'est toujours le maître qui contrôle la ligne SCLK, il doit initier toutes les impulsions d'horloge pour lire les données de l'esclave. De ce fait, la lecture des données d'un esclave se fait souvent en faisant une écriture bidon sur la ligne MOSI afin de permettre le transférer les données de l'esclave sur la ligne MISO.

Un système SPI peut aussi être configuré en simplex comme illustré à la figure 2. Dans cette configuration, les données circulent uniquement du maître vers l'esclave, et les noms de lignes changent souvent pour une nomenclature plus simple qui comprend DO (data out) ou SDO (serial data out) pour MOSI, et DI (data in) ou SDI (serial data in) pour MISO. La figure 1 montre la disposition de base d'un tel bus.

Figure 2. Système SPI simplex à deux unités

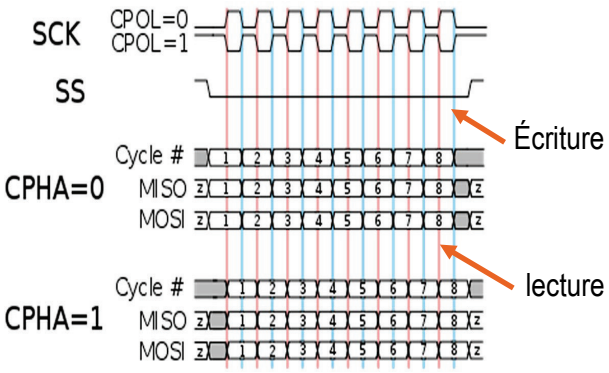


Il existe aussi une configuration semi-duplex plus rare, où les données sont déplacées dans chaque direction sur une seule ligne. Dans les systèmes qui utilisent cette configuration, les données ne peuvent être envoyées que dans une direction à la fois, avec toujours la ligne SCLK contrôlée par le maître.

b) **SPI Modes**

Quatre modes de fonctionnement sont définis pour les systèmes SPI, et ils sont souvent des sources de confusion pour l'usager, car leur numérotation et dénomination varie souvent selon les fournisseurs. Les modes sont définis par la relation entre l'horloge et l'échantillonnage des données, et la plupart des fournisseurs utilisent deux paramètres que l'industrie a acceptés pour les spécifier : CPOL (clock polaritry) et CPHA (clock phase). Le CPOL détermine l'état logique par défaut de l'horloge et CPHA détermine si les données sont échantillonnées sur le front montant ou descendant de l'horloge. La figure 3 illustre les différents modes.

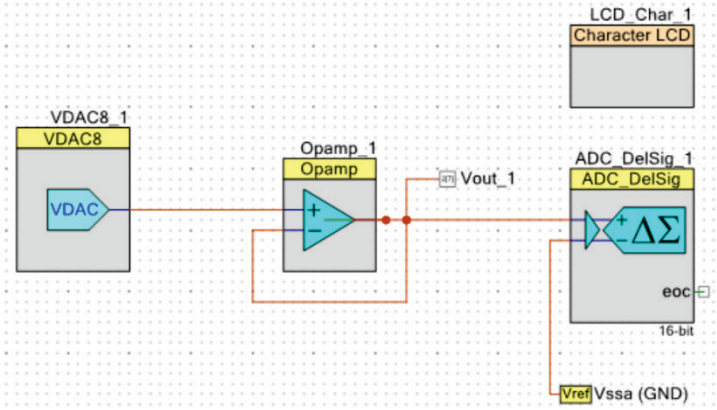
Figure 3. Chronométrage SPI par mode



SPI offre une excellente solution pour la communication série avec une implémentation matérielle simple, mais il n'a aucun mécanisme inhérent de vérification d'erreur. Il utilise aussi plus de broches que le protocole concurrent I2C, tout en offrant des taux de transmission plus rapides grâce à sa simplicité relative.

III. Manipulations à effectuer :

1. Montage de base pour la conversion de données



a) Créer un nouveau projet dans PSOC Creator pour le design suivant en utilisant les configurations par défaut et les connexions indiquées pour les composants :

b) Connecter les lignes de l'afficheur aux broches physiques P2[6:0] comme pour le laboratoire 2, et la ligne de sortie du VDAC à P2[7] ou toute autre broche libre.

c) Rédiger le code suivant dans le fichier main.c pour valider le design :

```
#include "project.h"
#include <stdio.h>

uint8 valueToConvert(void)
{
static uint8 val;
// code pour générer la prochaine valeur au CNA
return val;
}

int main(void)
{
uint8 ADC_Result;
uint8 DAC_input;
char buf[16];

  CyGlobalIntEnable;

  LCD_Char_1_Start();
  VDAC8_1_Start();
  Opamp_1_Start();
  ADC_DelSig_1_Start();
```

```
for(;;)
{
   DAC_input= valueToConvert(); // valeur à convertir par le DAC
   VDAC8_1_SetValue(DAC_input);
   ADC_DelSig_1_StartConvert();
   while(ADC_DelSig_1_IsEndConversion(ADC_DelSig_1_WAIT_FOR_RESULT)!=0)
      {
        ADC_Result= ADC_DelSig_1_GetResult8();
        snprintf(buf,64,"%d", ADC_Result);
        LCD_Char_1_Position(0, 0);
        LCD_Char_1_PrintString(buf);
        }
  }
 }
```

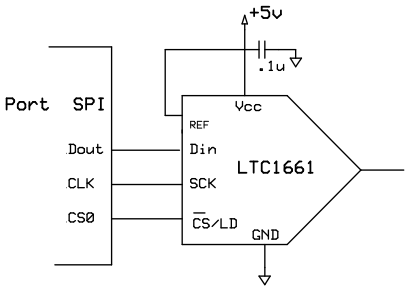
La fonction `setValue()` est à coder pour créer une séquence répétitive de valeurs entières croissantes et ensuite décroissantes (ex.: 0x00, 0x10, ..., 0xE0, 0xF0, 0xE0, ..., 0x10, 0x00).

d) Construire le projet et l'exécuter par le microcontrôleur PSOC 5LP. La sortie de l'amplificateur opérationnel devrait montrer un signal triangulaire sur l'écran d'un oscilloscope.

2. Utilisation d'un CNA externe

Pour un microcontrôleur sans CNA intégré, il faut utiliser un boîtier externe. Un exemple est le LTC1661qui contient deux CNA de 10 bits pilotés par le bias d'une interface SPI. Il reçoit des commandes de 16 bits selon le format suivant (voir fichier de spécifications en annexe) :

4 bits d'adresse	10 bits de données	2 bits NUL



Le microcontrôleur envoie chaque mot de 16 bits sous forme de 2 octets transmis via l'interface SPI. Un exemple de code pour le MSP430F22x4 pilotant le LTC1661 est fourni en annexe

a) Modifier le code de la section précédente afin d'utiliser un des CNA du LTC1661 à la place du convertisseur `VDAC8`. L'exemple de projet `SPI-Design` de PSOC Creator montre comment implémenter une interface SPI.

b) Discuter comment, en modifiant les temps de montée et de descente de l'onde obtenue, on peut facilement obtenir des signaux en dents de scie.

3. Génération de signaux carrés

Dans ce cas, aucun convertisseur de données n'est requis.

a) Ajouter au projet un composant `Timer` configuré en mode interruptions sur compte terminal et relier sa sortie à une broche du PSOC 5LP. Écrire ensuite un programme qui demande à l'utilisateur d'entrer une fréquence entre 1 Hz et 5 kHz et utiliser le résultat pour programmer la valeur de compte du composant; l'affichage LCD et le clavier développés précédemment seront utilisés pour saisir et afficher les données entrées. Une fois le projet en exécution, chaque interruption du compteur devra être suivie du complément d'état de la broche du microcontrôleur. Construire et exécuter le projet, et vérifier avec un oscilloscope qu'on obtient bien une onde carrée dont la fréquence est conforme à la valeur programmée.

b) Comment peut-on modifier le programme précédent afin d'obtenir des ondes dont le cycle de travail ("duty cycle") est programmable? Le composant `PWM` de PSOC Creator peut-il aider ?

4. Génération de signaux sinusoïdaux

La génération d'un signal sinusoïdal exploite le fait que si la fonction de transfert d'un système linéaire invariant aux retards est à un sinus, il répondra à une impulsion en produisant le même sinus. Comme la transformée *z* d'un sinus est :

$$s(t) = sin(\omega_o t) \Leftrightarrow S(z) = \frac{sin(\omega_o T_e) z^{-1}}{1 - 2\,cos(\omega_o T_e) z^{-1} + z^{-2}} = \frac{a z^{-1}}{1 - b z^{-1} + z^{-2}} \quad (1)$$

Cette relation donne la réponse suivante pour une impulsion d'entrée :

$$h(nT_e) = a\delta(nT_e - 1) + bh(nT_e - 1) - h(nT_e - 2) \qquad (2)$$

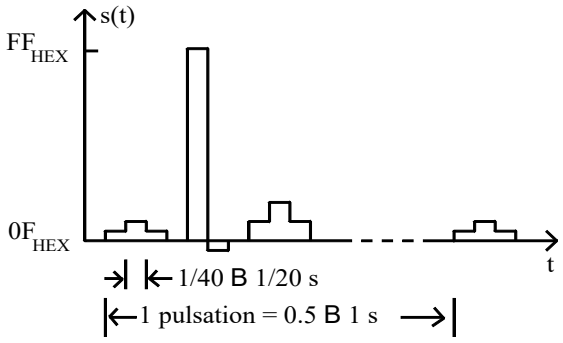
où $n = 0, 1\ldots$ et T_e est la période d'échantillonnage du signal. Partant de cette équation, on obtient la séquence numérique $s(n) = \sin(\omega_o n)$ lorsqu'on calcule les valeurs successives de $h(n)$, en posant $\delta(n) = \begin{cases} 1 \; si \; n = 0 \\ 0 \; si \; n \neq 0 \end{cases}$.

a) Reprendre un des montages précédents avec un CNA à la sortie et programmer le microcontrôleur pour générer un signal sinusoïdal de fréquence 1 kHz (prendre 1/Te > 2 KHz pour respecter le critère de Nyquist et arrondir les valeurs des coefficients *a* et *b* dans les équations précédentes à des sommes de puissances de 2 pour simplifier les calculs).

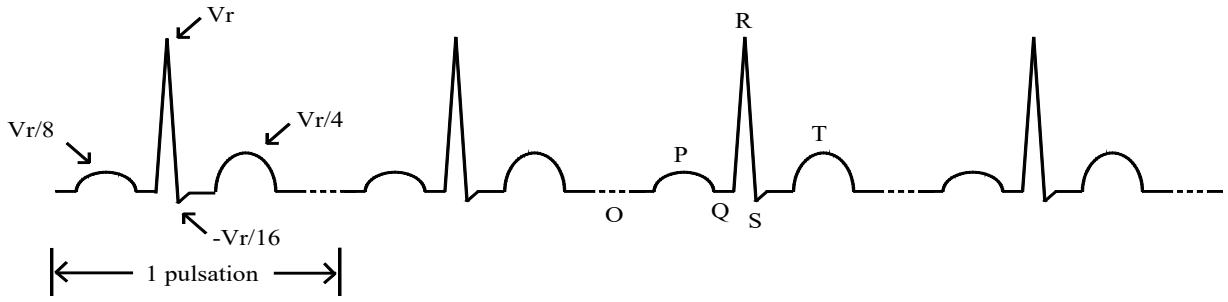
5. Génération de signaux complexes

Les signaux complexes font souvent appel à des techniques tabulaires. Dans ce cas, le signal à générer est représenté par une suite de valeurs emmagasinées dans une table. L'exemple suivant illustre le cas d'un électrocardiogramme, appelé aussi ECG.

a) Utiliser le montage précédent pour générer un signal ECG en s'inspirant de l'approximation ci-contre. La génération se fera en divisant l'axe des ordonnées en 17 paliers d'amplitude 0x0F chacun et l'axe des temps en 20 segments par pulsation cardiaque. Le programme devrait accepter une valeur de rythme comprise entre 60 et 120 battements par minute et générer le signal cardiaque correspondant (utiliser la fonction mémoire de l'oscilloscope pour visualiser le signal).



b) En fait, le signal obtenu n'est qu'une approximation du signal désiré. Comment rendre cette approximation plus exacte ?



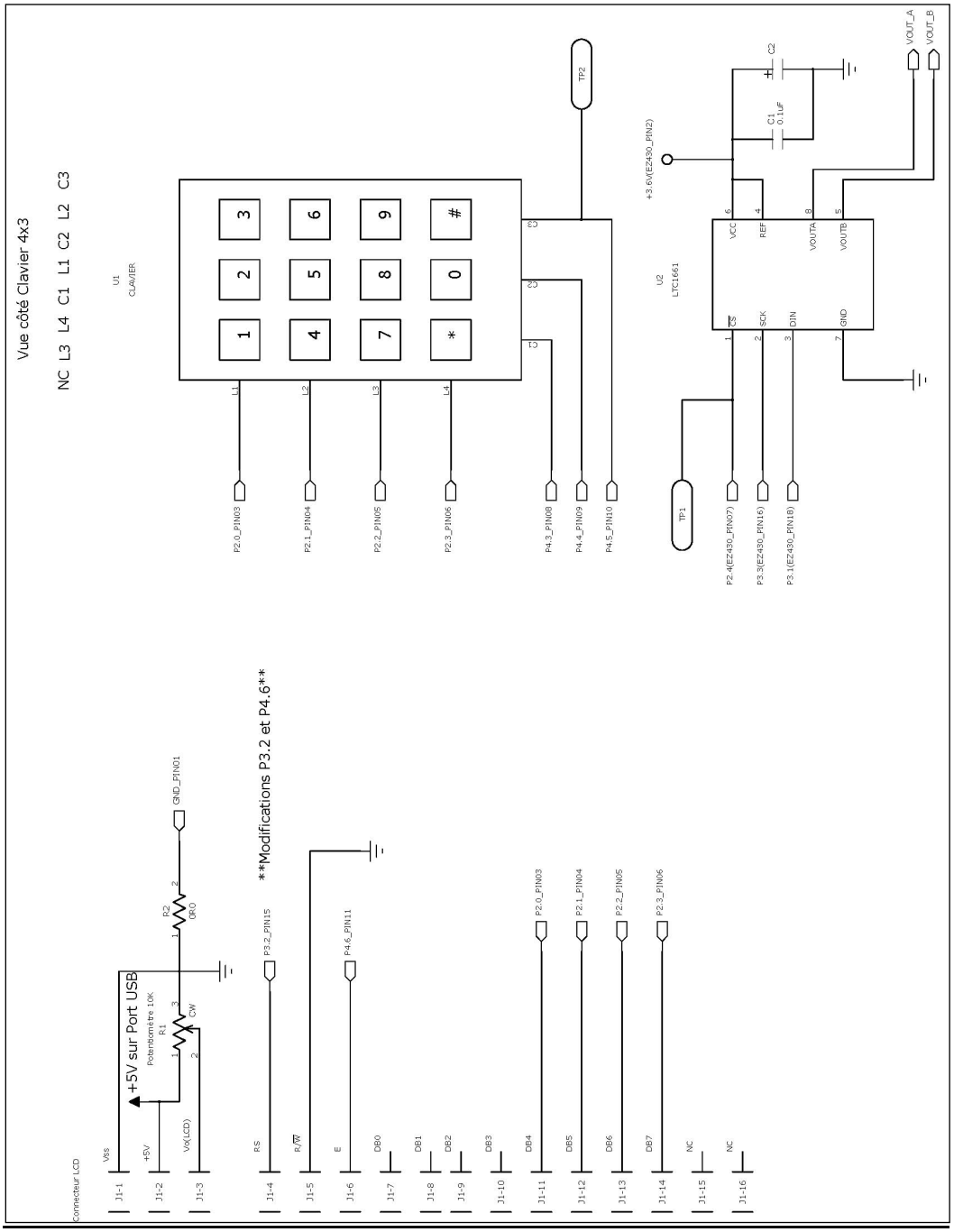
ANNEXE :

Exemple de programme pour la Génération du signal EKG

```
//******************************************************************************
//   MSP430F22x4 Demo - USCI_A0, SPI Interface to LTC1661
//
//   Description: This program demonstrates USCI_B0 in SPI mode, interfaced to
//   a LTC1661, transferring 2 BYTES containing the DAC address,10 bits DATA
//   and 2 not used bits.
//   The DAC A of the LTC1661 will be used for the Analog output.
//   The LTC1661 /CS is controlled with a P2.4 I/O.
//   .
//   ACLK = n/a, MCLK = SMCLK = default DCO ~1.2MHz, BRCLK = SMCLK/2
//
//                MSP430F22x4
//             -----------------
//         /|\|              XIN|-
//          | |                 |              LTC1661
//          --|RST          XOUT|-         |  ----------
//            |             P2.4|----------|/CS,LD       |
//            |    UCB0SIMO/P3.1|--------->|DIN          |--VOUT A->
//            |     UCB0CLK/P3.3|--------->|SCK          |
//            |                 |          |             |
//******************************************************************************
#include "msp430x22x4.h"
#define DAC_A  (0x9000)                       //The 4 MSB bits = DAC A address
#define VR_16  (0X03FF)                              // Hight level
#define VR_8   (0x001FF)                             // Medium level
#define VR_4   (0x00FF)                              // Low level
#define VR     (0x007F)                              // Low low level
#define ZERO   (0x0000)                              // Zero level

unsigned char Data;
unsigned int Sample;
volatile unsigned char i;

void initDAC()
{
  P3SEL |= 0x0A;                       // P3.1,P3.3 USCI_B0 option select
  P3DIR  |= 0x0B;                     // P3.0,P3.1,3.3 OUTPUT
  P3OUT  |=    0x01;                  // /CSN=1  diseable SPI for CC2500 on eZ430-RF2500T
  P2DIR |=  0x10;                     // P2.4 OUTPUT
  P2OUT |=    0x10;                   // /CS=1 LTC1661


  UCB0CTL0 |= UCCKPH + UCMSB + UCMST + UCSYNC;  // 3-pin, 8-bit SPI master
  UCB0CTL1 |= UCSSEL_2;                          // SMCLK
  UCB0BR0  |= 0x02;                              //Prescaler setting=2
  UCB0BR1   = 0;

  UCB0CTL1 &= ~UCSWRST;                         // **Initialize USCI state machine**
}

void delay()
{
unsigned int delai= 0x100;            //ajuster à 2 ms ou utiliser l'horloge
while (--delai) ;
}




void putwordDAC(unsigned int data10)
{
unsigned char DataIN;

data10 = (data10 << 2)+ DAC_A ;              //DAC Word setting
DataIN = data10 >> 8 ;                       //MSByte
   while (!(IFG2 & UCB0TXIFG));              // USCI_A0 TX buffer ready?
```

```
        P2OUT &=       ~0x10;                // /CS=0  LTC1661
     UCB0TXBUF = DataIN;                     // Send first Data byte
        DataIN = data10 & 0x00ff;            //LSByte
    while (!(IFG2 & UCB0TXIFG));             // USCI_A0 TX buffer ready?
     UCB0TXBUF = DataIN;                     // Send sencond Data byte

  while (!(IFG2 & UCB0TXIFG));              // USCI_A0 TX buffer ready?
  while (!(IFG2 & UCB0TXIFG));              // USCI_A0 TX buffer ready?

                                           // check if data is outSPI before
   P2OUT |=    0x10;                       // /CS=1 LTC1661
}

void main(void)

{
  WDTCTL = WDTPW + WDTHOLD;                 // Stop watchdog timer

  initDAC();

  while(1)
       {
       putwordDAC(VR_16);
       delay();                                  // Delay
       putwordDAC(VR_8);
       delay();                                  // Delay
       putwordDAC(VR_16);
       delay();                                  // Delay
       putwordDAC(ZERO);
       delay();                                  // Delay
       putwordDAC(VR);
       delay();                                  // Delay
       putwordDAC(Sample ^= VR);
       delay();                                  // Delay
       putwordDAC(ZERO);
       delay();                                  // Delay
       putwordDAC(VR_8);
       delay();                                  // Delay
       putwordDAC(VR_4);
       delay();                                  // Delay
       putwordDAC(VR_8);
       delay();                                  // Delay

      i=10;
       while(i--){
       putwordDAC(Sample ^= VR_8);
       delay();                                  // Delay
       }
  }
}
```

Exemple de montage avec un microcontrôleur MSP430



LTC1661

Micropower Dual 10-Bit DAC in MSOP

FEATURES

- **Tiny: Two 10-Bit DACs in an 8-Lead MSOP—Half the Board Space of an SO-8**
- **Micropower: 60µA per DAC**
  Sleep Mode: 1µA for Extended Battery Life
- **Rail-to-Rail Voltage Outputs Drive 1000pF**
- Wide 2.7V to 5.5V Supply Range
- Double Buffered for Independent or Simultaneous DAC Updates
- Reference Range Includes Supply for Ratiometric 0V-to-V_{CC} Output
- Reference Input Has Constant Impedance over All Codes (260kΩ Typ)—Eliminates External Buffers
- 3-Wire Serial Interface with Schmitt Trigger Inputs
- Differential Nonlinearity: ≤±0.75LSB Max

APPLICATIONS

- Mobile Communications
- Digitally Controlled Amplifiers and Attenuators
- Portable Battery-Powered Instruments
- Automatic Calibration for Manufacturing
- Remote Industrial Devices

DESCRIPTION

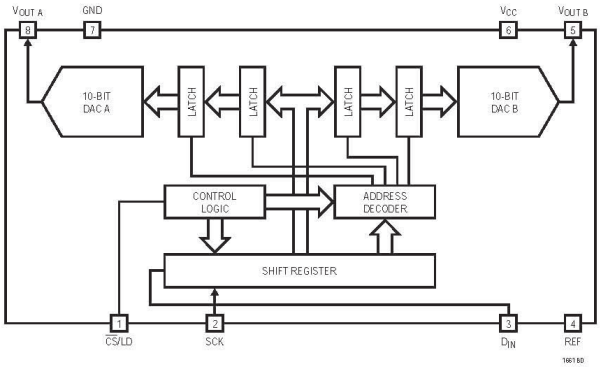
The LTC®1661 integrates two accurate, serially addressable, 10-bit digital-to-analog converters (DACs) in a single tiny MS8 package. Each buffered DAC draws just 60µA total supply current, yet is capable of supplying DC output currents in excess of 5mA and reliably driving capacitive loads up to 1000pF. Sleep mode further reduces total supply current to a negligible 1µA.

Linear Technology's proprietary, inherently monotonic voltage interpolation architecture provides excellent linearity while allowing for an exceptionally small external form factor. The double-buffered input logic provides simultaneous update capability and can be used to write to either DAC without interrupting Sleep mode.

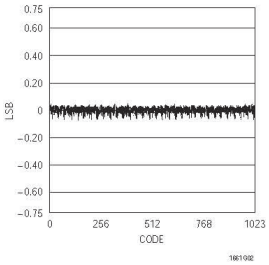
Ultralow supply current, power-saving Sleep mode and extremely compact size make the LTC1661 ideal for battery-powered applications, while its straightforward usability, high performance and wide supply range make it an excellent choice as a general purpose converter.

For additional outputs and even greater board density, please refer to the LTC1660 micropower octal DAC for 10-bit applications. For 8-bit applications, please consult the LTC1665 micropower octal DAC.

BLOCK DIAGRAM



Differential Nonlinearity (DNL)



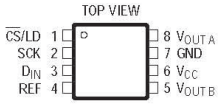
ABSOLUTE MAXIMUM RATINGS

(Note 1)

V_{CC} to GND ..... –0.3V to 7.5V
Logic Inputs to GND ..... –0.3V to 7.5V
$V_{OUT\ A}$, $V_{OUT\ B}$, REF to GND ..... –0.3V to V_{CC} + 0.3V
Maximum Junction Temperature ..... 125°C
Storage Temperature Range ..... –65°C to 150°C

Operating Temperature Range
LTC1661C ..... 0°C to 70°C
LTC1661I ..... –40°C to 85°C
Lead Temperature (Soldering, 10 sec) ..... 300°C

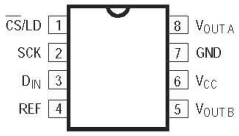
PACKAGE/ORDER INFORMATION



MS8 PACKAGE
8-LEAD PLASTIC MSOP

T_{JMAX} = 125°C, θ_{JA} = 150°C/W

ORDER PART NUMBER
LTC1661CMS8 LTC1661IMS8
MS8 PART MARKING
LTDV LTDW



N8 PACKAGE
8-LEAD PLASTIC DIP

T_{JMAX} = 125°C, θ_{JA} = 100°C/W

ORDER PART NUMBER
LTC1661CN8 LTC1661IN8

Consult factory for Military grade parts.

ELECTRICAL CHARACTERISTICS

The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at T_A = 25°C. V_{CC} = 2.7V to 5.5V, $V_{REF} \le V_{CC}$, V_{OUT} Unloaded unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Accuracy							
	Resolution		●	10			Bits
	Monotonicity	1V ≤ V_{REF} ≤ V_{CC} – 0.1V (Note 2)	●	10			Bits
DNL	Differential Nonlinearity	1V ≤ V_{REF} ≤ V_{CC} – 0.1V (Note 2)	●		±0.1	±0.75	LSB
INL	Integral Nonlinearity	1V ≤ V_{REF} ≤ V_{CC} – 0.1V (Note 2)	●		±0.4	±2	LSB
V_{OS}	Offset Error	Measured at Code 20	●		±5	±30	mV
	V_{OS} Temperature Coefficient				±15		µV/°C
FSE	Full-Scale Error	V_{CC} = 5V, V_{REF} = 4.096V	●		±1	±12	LSB
	Full-Scale Error Temperature Coefficient				±30		µV/°C
PSR	Power Supply Rejection	V_{REF} = 2.5V			0.18		LSB/V
Reference Input							
	Input Voltage Range		●	0		V_{CC}	V
	Resistance	Active Mode	●	140	260		kΩ
	Capacitance		●		15		pF
I_{REF}	Reference Current	Sleep Mode	●		0.001	1	µA
Power Supply							
V_{CC}	Positive Supply Voltage	For Specified Performance	●	2.7		5.5	V
I_{CC}	Supply Current	V_{CC} = 5V (Note 3)	●		120	195	µA
		V_{CC} = 3V (Note 3)	●		95	154	µA
		Sleep Mode (Note 3)	●		1	3	µA

ELECTRICAL CHARACTERISTICS

The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at T_A = 25°C. V_{CC} = 2.7V to 5.5V, $V_{REF} \leq V_{CC}$, V_{OUT} Unloaded unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
DC Performance							
	Short-Circuit Current Low	V_{OUT} = 0V, V_{CC} = V_{REF} = 5V, Code = 1023	●	10	25	100	mA
	Short-Circuit Current High	V_{OUT} = V_{CC} = V_{REF} = 5V, Code = 0	●	7	19	120	mA
AC Performance							
	Voltage Output Slew Rate	Rising (Notes 4, 5) Falling (Notes 4, 5)			0.60 0.25		V/µs V/µs
	Voltage Output Settling Time	To ±0.5LSB (Notes 4, 5)			30		µs
	Capacitive Load Driving				1000		pF
Digital I/O							
V_{IH}	Digital Input High Voltage	V_{CC} = 2.7V to 5.5V V_{CC} = 2.7V to 3.6V	● ●	2.4 2.0			V V
V_{IL}	Digital Input Low Voltage	V_{CC} = 4.5V to 5.5V V_{CC} = 2.7V to 5.5V	● ●			0.8 0.6	V V
I_{LK}	Digital Input Leakage	V_{IN} = GND to V_{CC}	●			±10	µA
C_{IN}	Digital Input Capacitance	(Note 6)	●			10	pF

TIMING CHARACTERISTICS

The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at T_A = 25°C.

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{CC} = 4.5V to 5.5V							
t_1	D_{IN} Valid to SCK Setup		●	40	15		ns
t_2	D_{IN} Valid to SCK Hold		●	0	–10		ns
t_3	SCK High Time	(Note 6)	●	30	14		ns
t_4	SCK Low Time	(Note 6)	●	30	14		ns
t_5	$\overline{CS}$/LD Pulse Width	(Note 6)	●	80	27		ns
t_6	LSB SCK High to $\overline{CS}$/LD High	(Note 6)	●	30	2		ns
t_7	$\overline{CS}$/LD Low to SCK High	(Note 6)	●	20	–21		ns
t_9	SCK Low to $\overline{CS}$/LD Low	(Note 6)	●	0	–5		ns
t_{11}	$\overline{CS}$/LD High to SCK Positive Edge	(Note 6)	●	20	0		ns
	SCK Frequency	Square Wave (Note 6)	●			16.7	MHz
V_{CC} = 2.7V to 5.5V							
t_1	D_{IN} Valid to SCK Setup	(Note 6)	●	60	20		ns
t_2	D_{IN} Valid to SCK Hold	(Note 6)	●	0	–10		ns
t_3	SCK High Time	(Note 6)	●	50	15		ns
t_4	SCK Low Time	(Note 6)	●	50	15		ns
t_5	$\overline{CS}$/LD Pulse Width	(Note 6)	●	100	30		ns
t_6	LSB SCK High to $\overline{CS}$/LD High	(Note 6)	●	50	3		ns
t_7	$\overline{CS}$/LD Low to SCK High	(Note 6)	●	30	–14		ns
t_9	SCK Low to $\overline{CS}$/LD Low	(Note 6)	●	0	–5		ns
t_{11}	$\overline{CS}$/LD High to SCK Positive Edge	(Note 6)	●	30	0		ns
	SCK Frequency	Square Wave (Note 6)	●			10	MHz

Note 1: Absolute maximum ratings are those values beyond which the life of a device may be impaired.

Note 2: Nonlinearity and monotonicity are defined from code 20 to code 1023 (full scale). See Applications Information.

TIMING CHARACTERISTICS

Note 3: Digital inputs at 0V or V_{CC}.

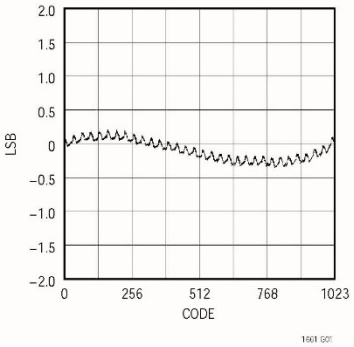
Note 4: Load is 10kΩ in parallel with 100pF.

Note 5: $V_{CC} = V_{REF} = 5V$. DAC switched between $0.1V_{FS}$ and $0.9V_{FS}$, i.e., codes k = 102 and k = 922.

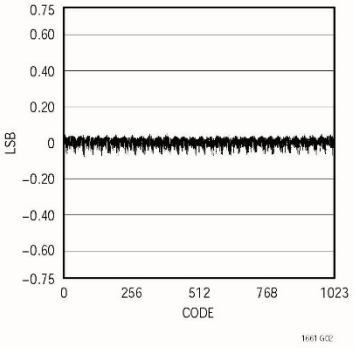
Note 6: Guaranteed by design and not subject to test.

TYPICAL PERFORMANCE CHARACTERISTICS

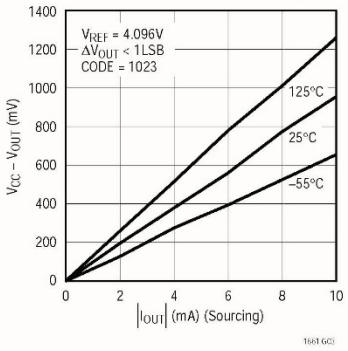
Integral Nonlinearity (INL)



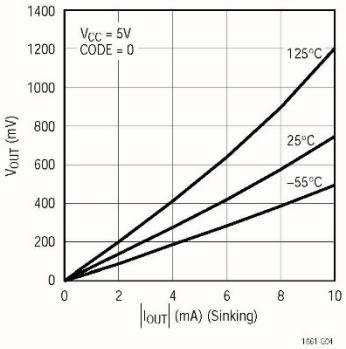
Differential Nonlinearity (DNL)



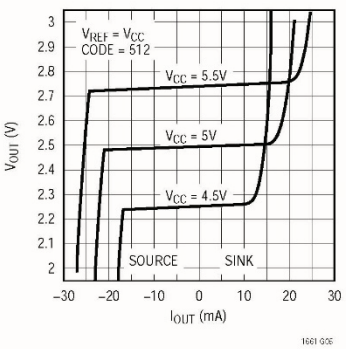
Minimum Supply Headroom vs Load Current (Output Sourcing)



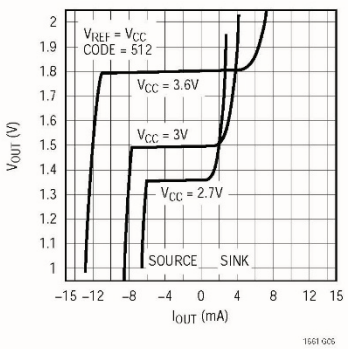
Minimum V_{OUT} vs Load Current (Output Sinking)



Midscale Output Voltage vs Load Current

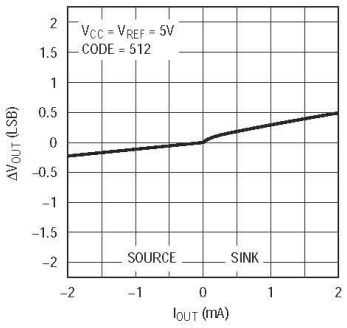


Midscale Output Voltage vs Load Current

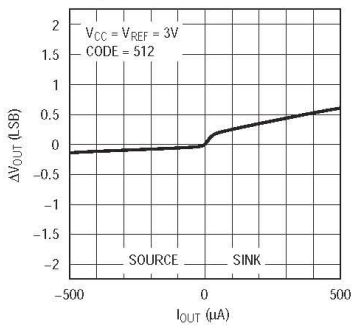


TYPICAL PERFORMANCE CHARACTERISTICS

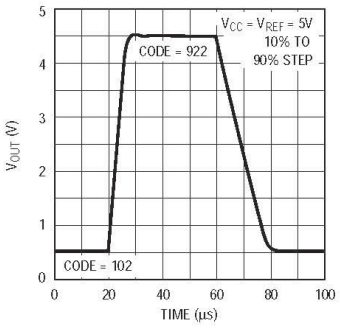
Load Regulation vs Output Current



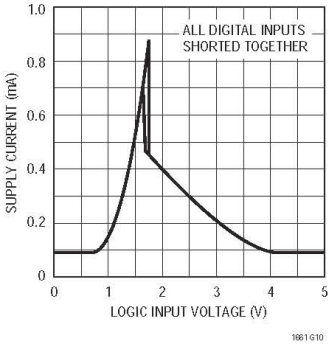
Load Regulation vs Output Current



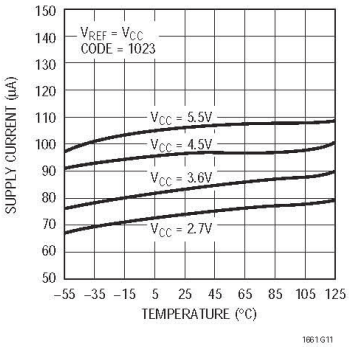
Large-Signal Step Response



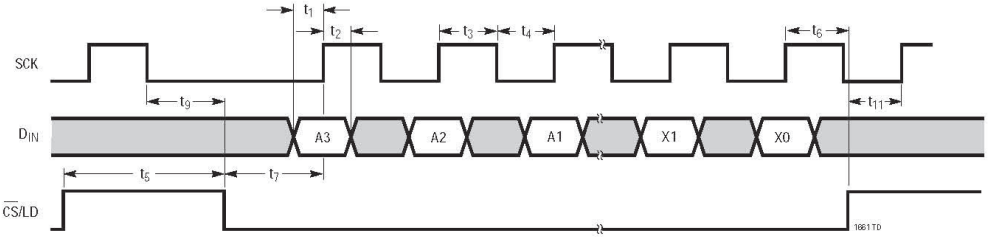
Supply Current vs Logic Input Voltage



Supply Current vs Temperature



TIMING DIAGRAM



PIN FUNCTIONS

$\overline{CS}$/LD (Pin 1): Serial Interface Chip Select/Load Input. When $\overline{CS}$/LD is low, SCK is enabled for shifting data on D_{IN} into the register. When $\overline{CS}$/LD is pulled high, SCK is disabled and the operation(s) specified in the Control code, A3-A0, is (are) performed. CMOS and TTL compatible.

SCK (Pin 2): Serial Interface Clock Input. CMOS and TTL compatible.

D_{IN} (Pin 3): Serial Interface Data Input. Input word data on the D_{IN} pin is shifted into the 16-bit register on the rising edge of SCK. CMOS and TTL compatible.

REF (Pin 4): Reference Voltage Input. $0V \le V_{REF} \le V_{CC}$.

$V_{OUT\ A}$, $V_{OUT\ B}$ (Pins 8,5): DAC Analog Voltage Outputs. The output range is

$$0 \le V_{OUTA}, V_{OUTB} \le V_{REF}\left(\frac{1023}{1024}\right)$$

V_{CC} (Pin 6): Supply Voltage Input. $2.7V \le V_{CC} \le 5.5V$.

GND (Pin 7): System Ground.

DEFINITIONS

Differential Nonlinearity (DNL): The difference between the measured change and the ideal 1LSB change for any two adjacent codes. The DNL error between any two codes is calculated as follows:

$$DNL = (\Delta V_{OUT} - LSB)/LSB$$

Where ΔV_{OUT} is the measured voltage difference between two adjacent codes.

Full-Scale Error (FSE): The deviation of the actual full-scale voltage from ideal. FSE includes the effects of offset and gain errors (see Applications Information).

Integral Nonlinearity (INL): The deviation from a straight line passing through the endpoints of the DAC transfer curve (Endpoint INL). Because the output cannot go below zero, the linearity is measured between full scale and the lowest code which guarantees the output will be greater than zero. The INL error at a given input code is calculated as follows:

$$INL = [V_{OUT} - V_{OS} - (V_{FS} - V_{OS})(code/1023)]/LSB$$

Where V_{OUT} is the output voltage of the DAC measured at the given input code.

Least Significant Bit (LSB): The ideal voltage difference between two successive codes.

$$LSB = V_{REF}/1024$$

Resolution (n): Defines the number of DAC output states (2^n) that divide the full-scale range. Resolution does not imply linearity.

Voltage Offset Error (V_{OS}): Nominally, the voltage at the output when the DAC is loaded with all zeros. A single supply DAC can have a true negative offset, but the output cannot go below zero (see Applications Information).

For this reason, single supply DAC offset is measured at the lowest code that guarantees the output will be greater than zero.

OPERATION

Transfer Function

The transfer function for the LTC1661 is:

$$V_{OUT(IDEAL)} = \left(\frac{k}{1024}\right) V_{REF}$$

where k is the decimal equivalent of the binary DAC input code D9-D0 and V_{REF} is the voltage at REF (Pin 6).

Power-On Reset

The LTC1661 positively clears the outputs to zero scale when power is first applied, making system initialization consistent and repeatable.

Power Supply Sequencing

The voltage at REF (Pin 4) must not ever exceed the voltage at V_{CC} (Pin 6) by more than 0.3V. Particular care should be taken in the power supply turn-on and turn-off sequences to assure that this limit is observed. See Absolute Maximum Ratings.

Serial Interface

See Table 1. The 16-bit Input word consists of the 4-bit Control code, the 10-bit Input code and two don't-care bits.

Table 1. LTC1661 Input Word

Input Word															
A3	A2	A1	A0	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X1	X0
Control Code				Input Code										Don't Care	

After the Input word is loaded into the register (see Figure 1), it is internally converted from serial to parallel format. The parallel 10-bit-wide Input code data path is then buffered by two latch registers.

The first of these, the Input Register, is used for loading new input codes. The second buffer, the DAC Register, is used for updating the DAC outputs. Each DAC has its own 10-bit Input Register and 10-bit DAC Register.

By selecting the appropriate 4-bit Control code (see Table 2) it is possible to perform single operations, such as loading one DAC or changing Power-Down status (Sleep/Wake). In addition, some Control codes perform two or more operations at the same time. For example, one such code loads DAC A, updates both outputs and Wakes the part up. The DACs can be loaded separately or together, but the outputs are always updated together.

Register Loading Sequence

See Figure 1. With $\overline{CS}$/LD held low, data on the D_{IN} input is shifted into the 16-bit Shift Register on the positive edge of SCK. The 4-bit Control code, A3-A0, is loaded first, then the 10-bit Input code, D9-D0, ordered MSB-to-LSB in each case. Two don't-care bits, X1 and X0, are loaded last. When the full 16-bit Input word has been shifted in, $\overline{CS}$/LD is pulled high, causing the system to respond according to Table 2. The clock is disabled internally when $\overline{CS}$/LD is high. Note: SCK must be low when $\overline{CS}$/LD is pulled low.

Sleep Mode

DAC control code 1110_b is reserved for the special Sleep instruction (see Table 2). In this mode, the digital parts of the circuit stay active while the analog sections are disabled; static power consumption is greatly reduced. The reference input and analog outputs are set in a high impedance state and all DAC settings are retained in memory so that when Sleep mode is exited, the outputs of DACs not updated by the Wake command are restored to their last active state.

Sleep mode is initiated by performing a load sequence using control code 1110_b (the DAC input code D9-D0 is ignored).

To save instruction cycles, the DACs may be prepared with new input codes during Sleep (control codes 0001_b and 0010_b); then, a single command (1000_b) can be used both to wake the part and to update the output values.

OPERATION

Table 2. DAC Control Functions

CONTROL				INPUT REGISTER STATUS	DAC REGISTER STATUS	POWER-DOWN STATUS (SLEEP/WAKE)	COMMENTS
A3	A2	A1	A0				
0	0	0	0	No Change	No Update	No Change	No Operation. Power-Down Status Unchanged (Part Stays In Wake or Sleep Mode)
0	0	0	1	Load DAC A	No Update	No Change	Load Input Register A with Data. DAC Outputs Unchanged. Power-Down Status Unchanged
0	0	1	0	Load DAC B	No Update	No Change	Load Input Register B with Data. DAC Outputs Unchanged. Power-Down Status Unchanged
0	0	1	1	Reserved			
0	1	0	0	Reserved			
0	1	0	1	Reserved			
0	1	1	0	Reserved			
0	1	1	1	Reserved			
1	0	0	0	No Change	Update Outputs	Wake	Load Both DAC Regs with Existing Contents of Input Regs. Outputs Update. Part Wakes Up
1	0	0	1	Load DAC A	Update Outputs	Wake	Load Input Reg A. Load DAC Regs with New Contents of Input Reg A and Existing Contents of Reg B. Outputs Update. Part Wakes Up
1	0	1	0	Load DAC B	Update Outputs	Wake	Load Input Reg B. Load DAC Regs with Existing Contents of Input Reg A and New Contents of Reg B. Outputs Update. Part Wakes Up
1	0	1	1	Reserved			
1	1	0	0	Reserved			
1	1	0	1	No Change	No Update	Wake	Part Wakes Up. Input and DAC Regs Unchanged. DAC Outputs Reflect Existing Contents of DAC Regs
1	1	1	0	No Change	No Update	Sleep	Part Goes to Sleep. Input and DAC Regs Unchanged. DAC Outputs Set to High Impedance State
1	1	1	1	Load DACs A, B with Same 10-Bit Code	Update Outputs	Wake	Load Both Input Regs. Load Both DAC Regs with New Contents of Input Regs. Outputs Update. Part Wakes Up

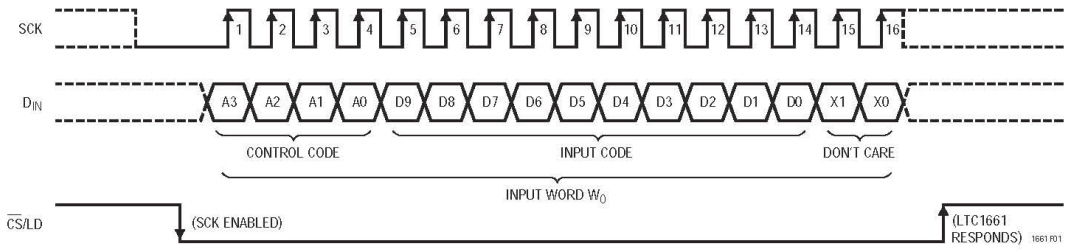


Figure 1. Register Loading Sequence

OPERATION

Voltage Outputs

Each of the rail-to-rail output amplifiers contained in the LTC1661 can typically source or sink up to 5mA (V_{CC} = 5V). The outputs swing to within a few millivolts of either supply when unloaded and have an equivalent output resistance of 85Ω (typical) when driving a load to the rails. The output amplifiers are stable driving capacitive loads up to 1000pF.

A small resistor placed in series with the output can be used to achieve stability for any load capacitance. A 1µF load can be successfully driven by inserting a 20Ω resistor in series with the V_{OUT} pin. A 2.2µF load needs only a 10Ω resistor, and a 10µF electrolytic capacitor can be used without any resistor (the equivalent series resistance of the capacitor itself provides the required small resistance). In any of these cases, larger values of resistance, capacitance or both may be substituted for the values given.

Rail-to-Rail Output Considerations

In any rail-to-rail DAC, the output swing is limited to voltages within the supply range.

If the DAC offset is negative, the output for the lowest codes limits at 0V as shown in Figure 2b.

Similarly, limiting can occur near full scale when the REF pin is tied to V_{CC}. If $V_{REF} = V_{CC}$ and the DAC full-scale error (FSE) is positive, the output for the highest codes limits at V_{CC} as shown in Figure 2c. No full-scale limiting can occur if V_{REF} is less than V_{CC} – FSE.

Offset and linearity are defined and tested over the region of the DAC transfer function where no output limiting can occur.

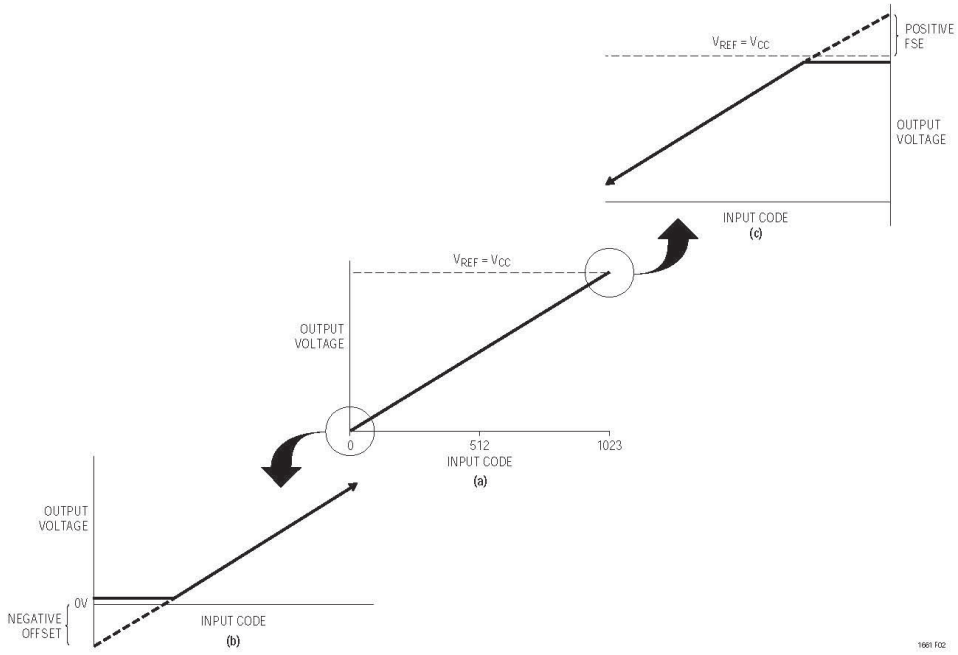
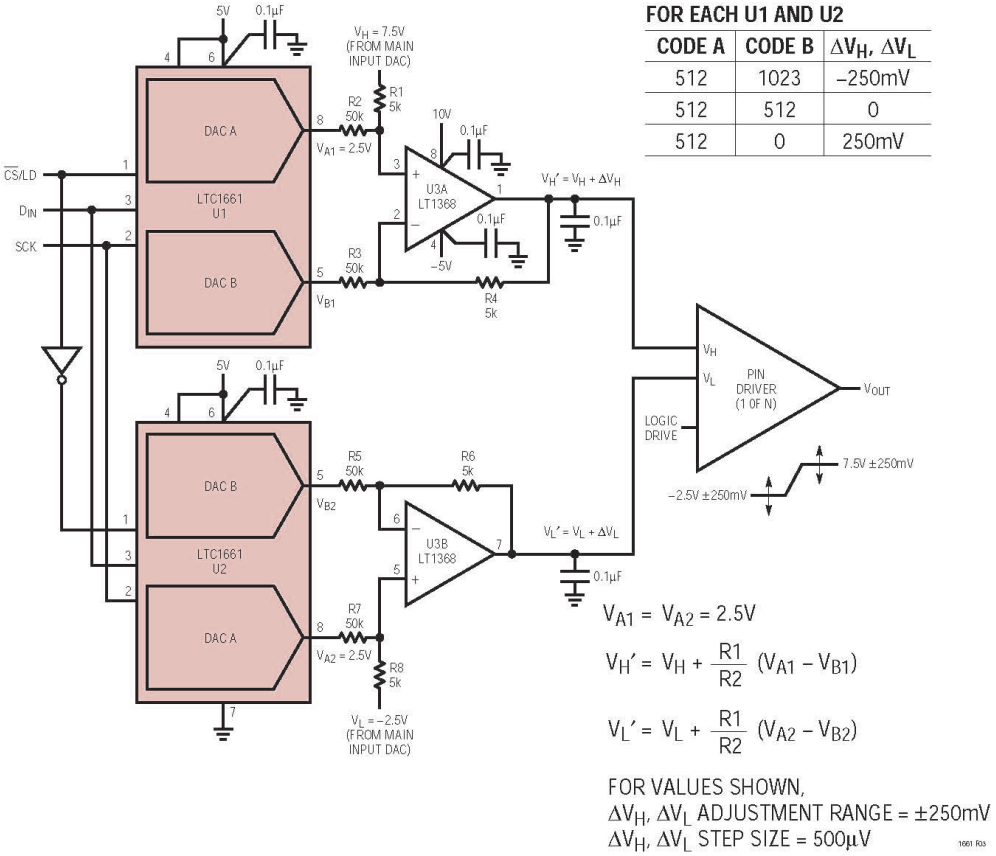


Figure 2. Effects of Rail-to-Rail Operation On a DAC Transfer Curve. (a) Overall Transfer Function (b) Effect of Negative Offset for Codes Near Zero Scale (c) Effect of Positive Full-Scale Error for Input Codes Near Full Scale When $V_{REF} = V_{CC}$

TYPICAL APPLICATIONS



FOR EACH U1 AND U2

CODE A	CODE B	ΔV_H, ΔV_L
512	1023	–250mV
512	512	0
512	0	250mV

$$V_{A1} = V_{A2} = 2.5V$$

$$V_H' = V_H + \frac{R1}{R2}(V_{A1} - V_{B1})$$

$$V_L' = V_L + \frac{R1}{R2}(V_{A2} - V_{B2})$$

FOR VALUES SHOWN,
ΔV_H, ΔV_L ADJUSTMENT RANGE = ±250mV
ΔV_H, ΔV_L STEP SIZE = 500µV

1661 F03

Figure 3. Pin Driver V_H and V_L Adjustment in ATE Applications

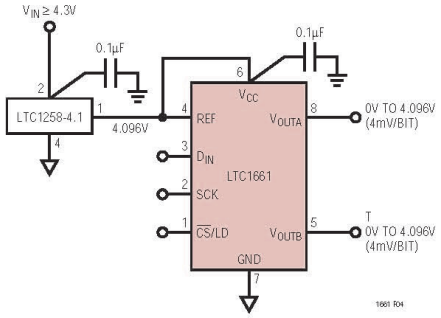
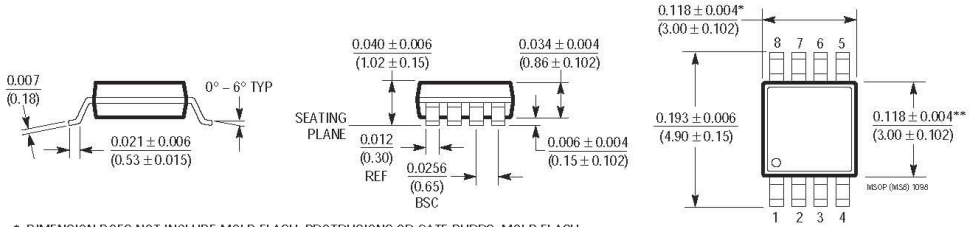


Figure 4. Using the LTC1258 and the LTC1661 In a Single Li-Ion Battery Application

PACKAGE DESCRIPTION

Dimensions in inches (millimeters) unless otherwise noted.

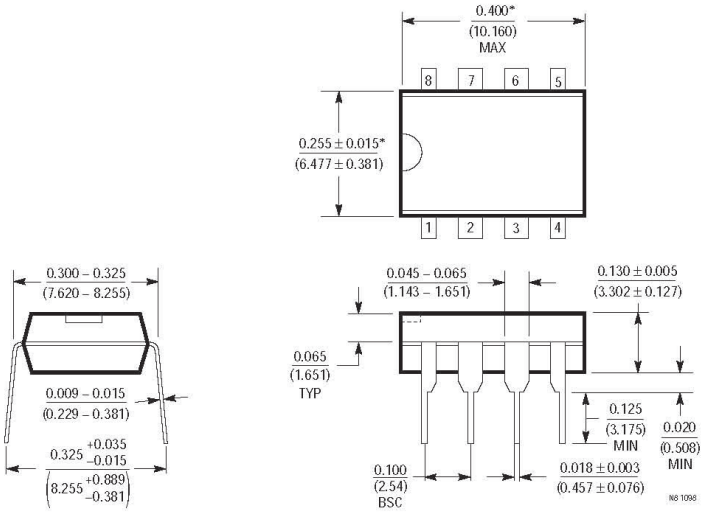
MS8 Package
8-Lead Plastic MSOP
(LTC DWG # 05-08-1660)



* DIMENSION DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.006" (0.152mm) PER SIDE

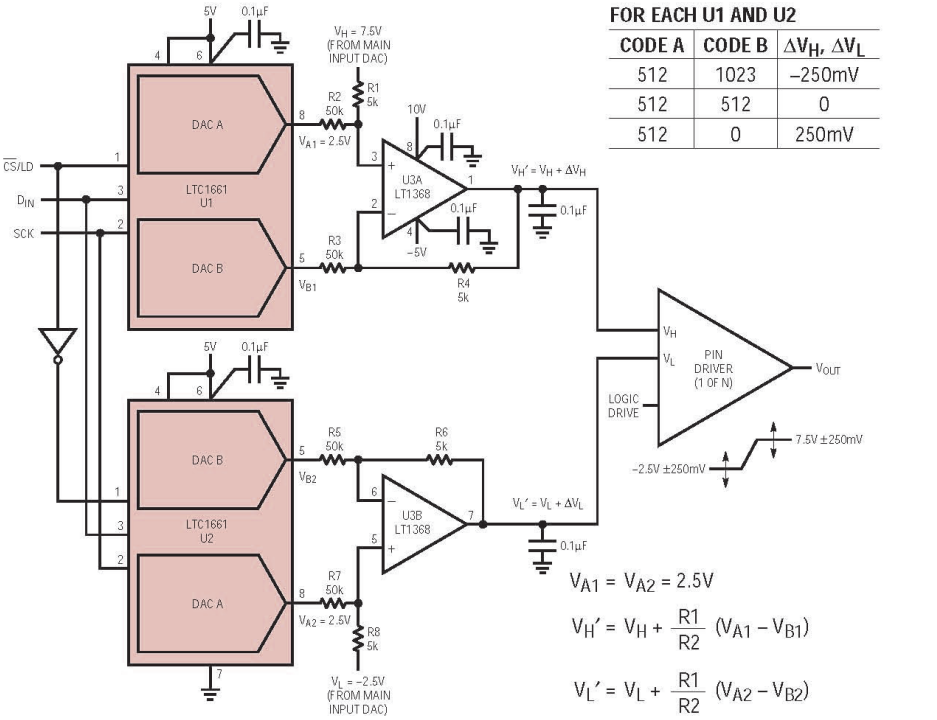
** DIMENSION DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSIONS. INTERLEAD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.006" (0.152mm) PER SIDE

N8 Package
8-Lead PDIP (Narrow 0.300)
(LTC DWG # 05-08-1510)



*THESE DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.010 INCH (0.254mm)

TYPICAL APPLICATION



FOR EACH U1 AND U2

CODE A	CODE B	ΔV_H, ΔV_L
512	1023	–250mV
512	512	0
512	0	250mV

$$V_{A1} = V_{A2} = 2.5V$$

$$V_H' = V_H + \frac{R1}{R2}(V_{A1} - V_{B1})$$

$$V_L' = V_L + \frac{R1}{R2}(V_{A2} - V_{B2})$$

FOR VALUES SHOWN,
ΔV_H, ΔV_L ADJUSTMENT RANGE = ±250mV
ΔV_H, ΔV_L STEP SIZE = 500µV

1661 F03

Pin Driver V_H and V_L Adjustment in ATE Applications

RELATED PARTS

PART NUMBER	DESCRIPTION	COMMENTS
LTC1446/LTC1446L	Dual 12-Bit V_{OUT} DACs in SO-8 Package with Internal Reference	LTC1446: V_{CC} = 4.5V to 5.5V, V_{OUT} = 0V to 4.095V LTC1446L: V_{CC} = 2.7V to 5.5V, V_{OUT} = 0V to 2.5V
LTC1448	Dual 12-Bit V_{OUT} DAC in SO-8 Package	V_{CC} = 2.7V to 5.5V, External Reference Can Be Tied to V_{CC}
LTC1454/LTC1454L	Dual 12-Bit V_{OUT} DACs in SO-16 Package with Added Functionality	LTC1454: V_{CC} = 4.5V to 5.5V, V_{OUT} = 0V to 4.095V LTC1454L: V_{CC} = 2.7V to 5.5V, V_{OUT} = 0V to 2.5V
LTC1458/LTC1458L	Quad 12-Bit Rail-to-Rail Output DACs with Added Functionality	LTC1458: V_{CC} = 4.5V to 5.5V, V_{OUT} = 0V to 4.095V LTC1458L: V_{CC} = 2.7V to 5.5V, V_{OUT} = 0V to 2.5V
LTC1659	Single Rail-to-Rail 12-Bit V_{OUT} DAC in 8-Lead MSOP Package V_{CC}: 2.7V to 5.5V	Low Power Multiplying V_{OUT} DAC. Output Swings from GND to REF. REF Input Can Be Tied to V_{CC}
LTC1663	Single 10-Bit V_{OUT} DAC in SOT-23 Package	V_{CC} = 2.7V to 5.5V, Internal Reference, 60µA
LTC1665/LTC1660	Octal 8/10-Bit V_{OUT} DAC in 16-Pin Narrow SSOP	V_{CC} = 2.7V to 5.5V, Micropower, Rail-to-Rail Output

Linear Technology Corporation
1630 McCarthy Blvd., Milpitas, CA 95035-7417
(408)432-1900•FAX: (408) 434-0507 • www.linear-tech.com
1661fLT/TP 0100 4K • PRINTED IN THE USA